

汽车电子 MCU 的抗 EMI 设计与测试方案

于梦溪,王海欣,黑 勇

(中国科学院 微电子研究所,北京 100029)

摘 要: 针对汽车电子 MCU 的电磁兼容设计,提出了一些可行性的方法,主要包括时钟以及 IO 端口的设计,并且根据芯片级测试标准 IEC61967 的传导发射测试—— $1\ \Omega/150\ \Omega$ 直接耦合法,进行适合汽车电子 MCU 的电磁干扰测试.经过样本数据的分析发现,芯片级电磁干扰与时钟频率、功能模块类别以及工作模式等有着密切的关系.

关键词: 汽车电子;电磁兼容;电磁干扰测试;同时开关噪声

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)01-0142-06

Anti-EMI Design and Test Scheme for Automotive MCU

YU Meng-xi, WANG Hai-xin, HEI Yong

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Proposing some effective methods for electromagnetic capability of Automotive MCU, including clock and IO port design. According to conducted emissions test of IEC61967—— $1\ \Omega/150\ \Omega$ direct coupling method for electromagnetic interference, a test suitable for Automotive MCU is done in the paper. From analysis result of sample data, electromagnetic interference of chip level has close relationship with clock, characteristics of function module and operation mode.

Key words: automotive electronics; EMC; EMI test; SSN

1 引言

随着集成电路集成度的提高,越来越多的元件集成到芯片上,电路功能变得复杂,工作电压也在降低.当一个或多个电路里产生的信号或噪声与同一个芯片内另一个电路的运行彼此干扰时,就产生了芯片内的 EMC 问题,最为常见的就是 SSN(Simultaneous Switch Noise, 同时开关噪声)和 Crosstalk(串音),它们都会给芯片正常工作带来影响.由于集成电路通过高速脉冲数字信号进行工作,工作频率越高产生的电磁干扰频谱越宽,越容易引起对外辐射的电磁兼容方面问题.基于以上情况,集成电路本身的电磁干扰(EMI)与抗扰度(EMS)问题已成为集成电路设计与制造关注的课题.

集成电路电磁兼容不仅涉及集成电路电磁干扰与抗扰度的设计和测试方法,而且有必要与集成电

路的应用相结合.针对汽车电子领域来讲,将对整车级、零部件级的电磁兼容要求强制性标准,结合到集成电路的设计中,才能使电路更易于设计出符合标准的最终产品.作为电子控制系统里面最为关键的单元——微控制器(MCU),其 EMC 性能的好坏直接影响各个模块与系统的控制功能.

本文在汽车电子 MCU 中采用抗 EMI 的设计方法,依据 IEC61967 传导测试标准,对汽车电子 MCU 进行电磁干扰的测试.

2 汽车电子 MCU 设计方法

下面介绍在汽车电子 MCU 中使用的可行性设计方法以及其他几种抗 EMI 设计技术.

2.1 时钟电路设计

由于时钟电路产生的时钟信号一般都是周期信号,其频谱是离散的,离散谱的能量集中在有限的频

收稿日期: 2013-04-20; 修回日期: 2013-05-22

基金项目: 国家自然科学基金青年基金项目(61006023)

率上.又由于系统中各个部分的时钟信号通常由同一时钟分频、倍频得到,它们的谱线之间也是倍频关系,重叠起来进而增大辐射的幅值,因此说时钟电路是一个非常大的污染源。

针对汽车电子 MCU 数字前端设计,在抗 EMI 方面采用门控时钟的方法改进.任何时钟在不需时都应关闭,减低工作时钟引起的电磁发射问题.根据 A8128(汽车电子 MCU 的型号)芯片系统功能设计要求,采用 Run、Idle、Stop 和 Debug 四种工作模式,在每一种工作模式下针对系统时钟、外设模块时钟进行适当门控.此外,还有几种在时钟方面常见的抗 EMI 的设计方法,包括:

①降低工作频率

MCU 的工作时钟应该设定为满足性能要求所需的最低频率.从下面的测试结果可以看出,一个 MCU 的运行频率由 80 MHz 变为 10 MHz,可以使频谱宽频范围内的干扰峰值产生几十 dB μ V 的衰减,而且能够有效的降低功耗。

②异步设计

异步电路工作没有锁定一个固有频率,电磁辐射大范围均匀分布而不会集中在特定的窄带频谱中.这一关键本质特征决定了即使异步电路使用大量的有源门电路,它所产生的电磁发射也要比同步电路小。

③扩展频谱

扩展频谱时钟是一项能够减小辐射测量值的技术,这种技术对时钟频率进行 1%~2% 的调制,扩散谐波分量,在 CISPR16 或 FCC 发射测试中峰值较低,但这并非真正减小瞬时发射功率.因此,对一些快速反应设备仍可能产生同样的干扰.扩展频谱时钟不能应用于要求严格的时间通信网络中,比如 FDD、以太网、光纤等。

2.2 IO 端口设计

在汽车电子 MCU 的输入输出端口设计中,也加入了抗 EMI 方案,包括翻转速率(slew rate control)和驱动强度(drive strength)控制方法.通过在所有通用 P 口引入可配置的翻转速率和驱动强度寄存器,在需要的时候打开相应功能.翻转速率有打开和关闭两种选择,打开后能够有效地平缓上升沿或者下降沿,降低瞬态电流,进而控制芯片产生的电磁干扰强度.驱动强度有强驱动电流和弱驱动电流两种选择,在能够满足工作驱动强度的情况下,选择弱电流驱动会更好的控制电磁干扰现象。

另外,基于 GSMC 180 nm 工艺库,选择具有施

密特触发特性的 IO,可以有效地平缓输入信号中带进来的尖峰或者噪声信号等,对芯片的电磁抗扰度有所帮助。

3 汽车电子 MCU 测试方案

IEC61967 标准是国际电工委员会制定的有关集成电路电磁发射的标准,用于频率为 150 kHz 到 1 GHz 的集成电路电磁发射测试.标准中涉及到辐射和传导两类测试方法,由于传导方式的电磁干扰带给芯片应用上的影响更大一些,本次试验选取 IEC61967-4 直接耦合法进行测试.该方法又分为 1 Ω 测试法和 150 Ω 测试法,1 Ω 测试法用来测试接地引脚上的总干扰电流,150 Ω 测试法用来测试输出端口的干扰电压。

在测试时,需要在进行测试的电路中接入串联电阻为 1 Ω 的电流探针(探针即为 1 Ω 测试网络,已经集成在 EMC 测试板的芯片地端与 PCB 地平面之间),49 Ω 串联放置为了形成 50 Ω 匹配,用接收机测量射频电流流经该电阻时产生的射频电压,所测得的电压应为所有流回到集成电路的射频电流在电流探头上产生电压的总和,测得的电压值可以换算为流过探针的电流,测试环境图如图 1 所示。

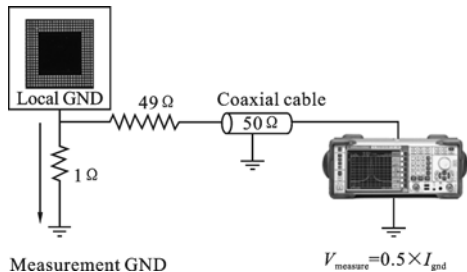


图 1 1 Ω 测试环境

在 150 Ω 测试中,集成电路的引脚通过标准规定的匹配网络接到测试接收机,通过 150 Ω 探针(探针即为 150 Ω 测试网络,已经集成在 EMC 测试板上)可以测量 SSN 在输入输出端口和电源两类引脚上的传导干扰,通过计算可以将接收机测量的电压转换为噪声电压幅值,测试环境图如图 2 所示。

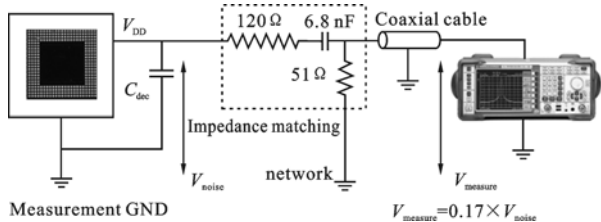


图 2 150 Ω 测试环境

下面是针对 EMI 进行的 1 Ω 和 150 Ω 测试步

骤,包括测试前准备工作以及测试数据分析等。

3.1 测试前装备工作

①环境温度

本次实验集中在晚间进行,现场温度控制在 $23 \pm 2^\circ\text{C}$ 范围内,符合标准要求。

②环境噪声电平

将 DUT(被测设备)固定在实验台上且为断电状态,用 EMI 接收机测量残留噪声。本次实验环境噪声电平在可接受的测试要求内,详情请参看图 6。

③其他环境条件

所有其他可能影响测试结果的环境条件,例如环境湿度。本次实验所测得的相对湿度为 45%RH 左右。

④确认工作状态

给 DUT 供电并检查确认 IC 处于正常的工作状态,同时在实验时保持周围的测试条件不变。

3.2 $1\ \Omega$ 测试

(1)将 SMA 连接线一端连接到测试板,另一端连接到接收机(安捷伦 N9030,内置 N141A 电磁兼容测试软件),将 EMI 接收机的测量频率范围设置为 150 kHz 到 1 GHz,根据标准对测试操作的要求,分成 150 kHz~30 MHz(RBW 为 9 kHz)和 30 MHz~1 GHz(RBW 为 120 kHz)两段。下面测试图中绿色边框范围内的是 150 kHz~30 MHz,范围外的是 30 MHz~1 GHz。

结合汽车电子 MCU 端口特性以及标准要求,将接地端口与 $1\ \Omega$ 网络相连,再与 SMA 口相接,引入 EMI 接收机进行监控,原理图如图 3、图 4 所示。

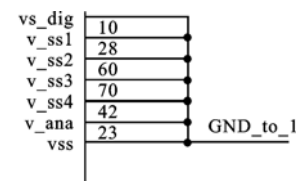


图 3 芯片的地网络引脚

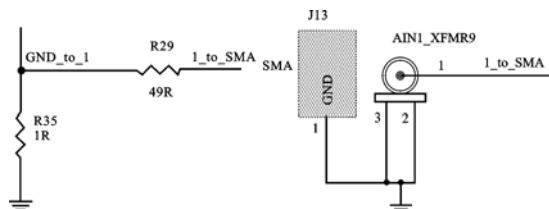


图 4 $1\ \Omega$ 网络

(2)选取可能影响 EMC 特性的因素,在时钟上分别测试 10 MHz、20 MHz 以及 77 MHz 频率下电磁干扰大小数值,在测试功能上选取模数转换程序 ADC;

(3)测量每一段频谱内可能出现的干扰,提取各个谐波的包络值,接收机的电压可以换算为流过探针的电流。测试仪器以及 EMC 测试板如图 5 所示;

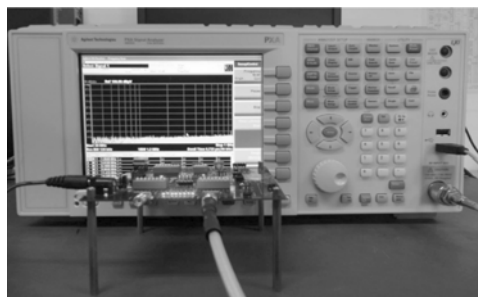


图 5 实际测试环境

(4)在对每个频率点测试的时候要进行多次测量,以便排除偶然因素的干扰。下面是各个测试情况的说明;

①时钟采用外部晶振 10 MHz,烧录 SRAM 中的程序为 ADC。图 6 左侧为未上电时的环境噪声信号,右侧为上电但未运行程序的测量结果。

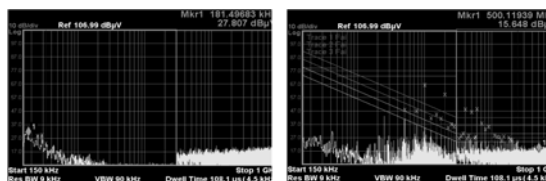


图 6 断电 vs. 上电

通过对比可以得出上电之后在整个频谱范围内干扰强度变大,时钟的固定周期将使电磁辐射集中在时钟基波和谐波附近很窄的频谱范围内。根据傅里叶级数展开公式可以得出,在时钟倍频处的频点其干扰值也越大,所以在 10 MHz、20 MHz 等倍频点处的现象更明显,

②为了进一步对比,运行 ADC 程序,分别在 10 MHz、20 MHz 以及 77 MHz 时钟下进行测试,比较不同时钟接地引脚总干扰电流大小,测试结果如图 7、图 8、图 9 所示。

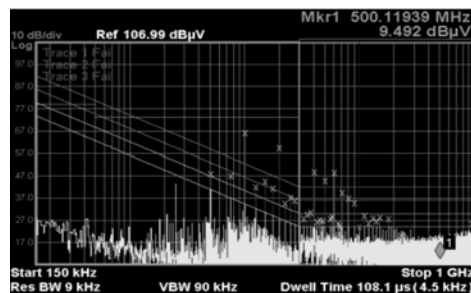


图 7 10 MHz—ADC 测试图

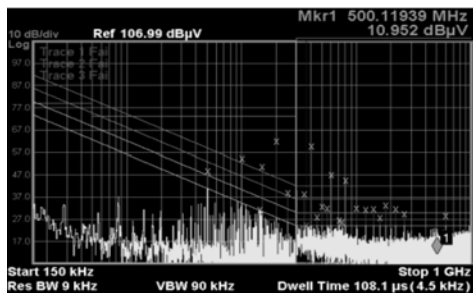


图8 20 MHz—ADC 测试图

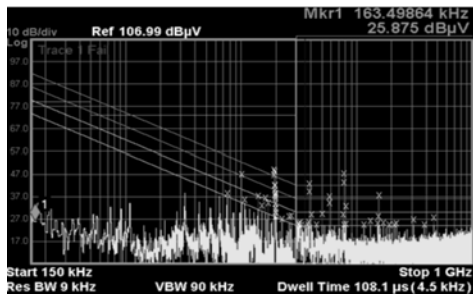


图9 77 MHz—ADC 测试图

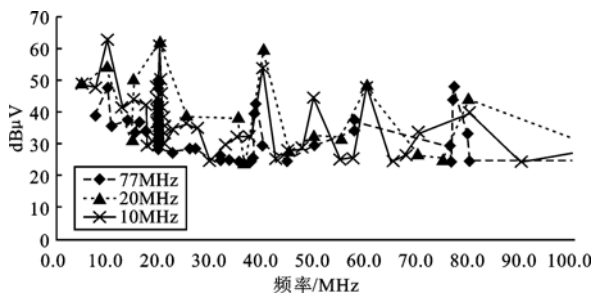
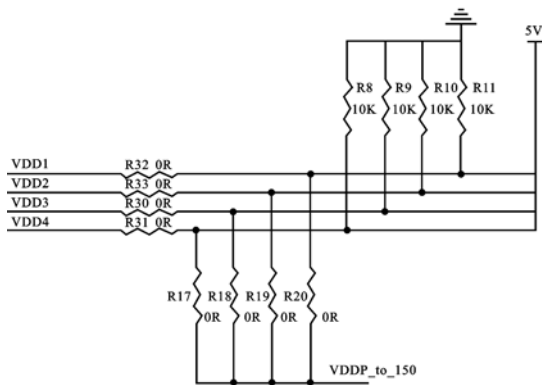


图10 10/20/77 MHz—ADC 测试数据整理

图7、图8、图9分别是10 MHz、20 MHz和77 MHz的测试图,图10是整理后的数据。通过对比可以得出,频谱大致集中在100 MHz以内,在对应工作时钟的主频点处干扰值最大,10 MHz、20 MHz情况下在相应倍频点(如40 MHz、60 MHz等频点)附近的干扰值也比较集中。

图12 V_{DD} 连接150 Ω 网络

提取数据得到10 MHz时峰值点为9.999 MHz(62.643 dB μ V),20 MHz时的峰值点为20.002 MHz(61.692 dB μ V),77 MHz时的峰值点为19.264 MHz(48.049 dB μ V)以及77.042 MHz(47.316 dB μ V)。可以看出,77 MHz时干扰强度和密度反而要弱于20 MHz,可能是由于77 MHz是MCU工作的极限时钟,此时工作性能受到一定影响,导致测试的结果有所不同。

③由于汽车电子MCU的工作时钟可以选择外部晶振或者内部PLL倍频,所以要对两种情况分别测试,以便比较是否有差别。运行ADC程序后的测试结果如图11所示。

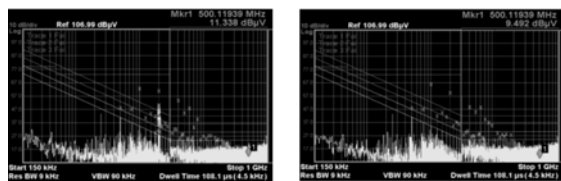


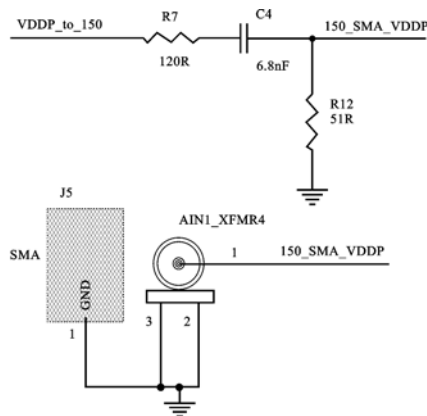
图11 PLL vs. 外部晶振(10 MHz)

从图11中可以看出,在频谱范围内各个峰值点的分布大致相同,整个频谱范围内没有明显差异,MCU通过外部晶振或PLL倍频两种方式测得的结果基本一致,时钟源选择上不会对芯片的电磁干扰强度带来影响。

3.3 150 Ω 测试

(1)设备装置连接同1 Ω 测试法的步骤①;

(2)根据芯片电源类型,电源分为4路,分别是VDD1(数字IO供电的5 V电源信号)、VDD2(为ADC和PLL供电的LDO的5 V电压)、VDD3(数字逻辑LDO的5 V电压输入)和VDD4(Flash的5 V电压输入)。可单独对每一路电源的干扰噪声进行捕捉,连接方式与1 Ω 测试法步骤②相同,如图12所示;



(3)根据汽车电子 MCU 应用特点,选取最为典型的 PWM、CAN 程序,为了方便以后对众多引脚进行单独测量,将 P0、P1、P2(P3 未涉及到外设功能复用)端口共 24 个引脚进行了开关控制,再通过 $150\ \Omega$ 耦合网络连接到 EMI 接收机,图 13 是 P0 端口的电路原理图,P1 和 P2 的原理图同 P0。

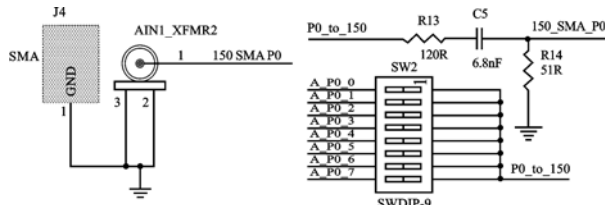


图 13 IO-P0 连接 $150\ \Omega$ 网络

(4)重复测试多次,得到较多测试样本,经过整理,下面是各个测试情况的说明。

①从电源端口结果来看,区别很小,下面以 VDD1 为例进行分析说明。VDD1 测试选取了 ADC 和 counter(数字计数器)的程序,以比较不同类别的程序对数字供电是否有影响,测试结果如图 14、图 15 所示。

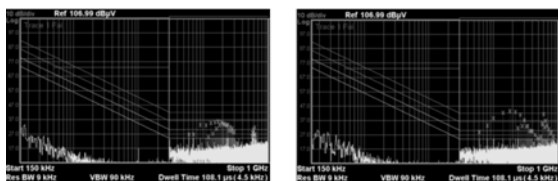


图 14 10 MHz vs. 20 MHz—ADC

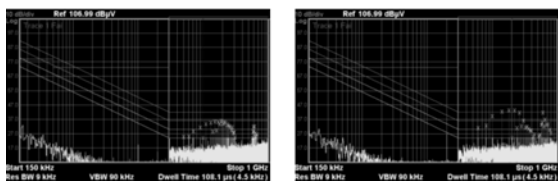


图 15 10 MHz vs. 20 MHz—counter

在 10 MHz 和 20 MHz 时钟上对比,ADC 最高峰值分别为 $35.827\ \text{dB}\mu\text{V}$ 、 $43.517\ \text{dB}\mu\text{V}$; counter 的最高峰值为 $35.899\ \text{dB}\mu\text{V}$ 、 $43.271\ \text{dB}\mu\text{V}$ 。可以得出频率越高,干扰强度越大。但就两类程序横向对比来看,结果基本上一致。另外还发现 $60\sim 300\ \text{MHz}$ 和 $550\sim 650\ \text{MHz}$ 两处集中的干扰频谱,可见电源处的干扰在高频附近比较明显。

②PWM 功能测试

双通道模式下,在不同占空比和周期大小情况下,测试对应 P 口引脚处传导发射强度的大小,测试结果如图 16、图 17 所示。

从图 16 中的干扰密度可看出时钟对电磁干扰影响程度。在图 17 中,由于 period 和 duty 较长,测

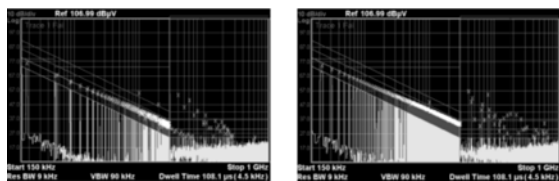


图 16 10 MHz vs. 40 MHz—period 和 duty 较短

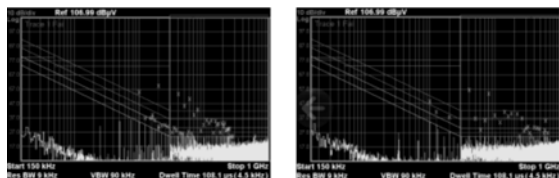


图 17 10 MHz vs. 40 MHz—period 和 duty 较长
试结果相差不大,此时时钟频率变成次要因素,主要因素取决于输出引脚处高低电平变化周期长短。

③CAN 功能测试

运行 Loopback(回路模式)程序,在不同时钟频率下进行比较,测试结果如图 18、图 19 所示。

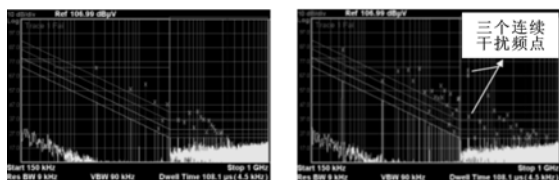


图 18 10 MHz vs. 40 MHz—RX 端

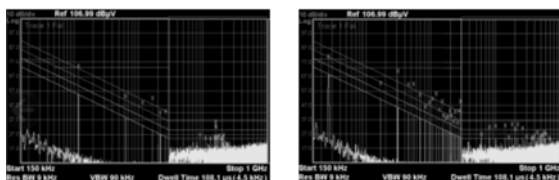


图 19 10 MHz vs. 40 MHz—TX 端

从图 16~19 中观察,随着时钟频率变大,TX 和 RX 端口的传导辐射强度也变大。对于 RX 端口,10/40 MHz 频点附近的干扰密度比较大,且在 40 MHz 时候现象更明显,捕捉到连续三个频点(图 18 右侧标注),分别是 $39.060\ \text{MHz}$ ($71.063\ \text{dB}\mu\text{V}$)、 $39.360\ \text{MHz}$ ($67.447\ \text{dB}\mu\text{V}$)、 $40.020\ \text{MHz}$ ($39.171\ \text{dB}\mu\text{V}$)。两个时钟下的峰值都在 $70\sim 85\ \text{dB}\mu\text{V}$ 之间,但一般都在 10 MHz 以下,应该是受低频某一频点的影响较明显。

对于 TX 端口,10/40 MHz 频点附近的干扰密度没有 RX 明显,峰值也都在 $70\sim 85\ \text{dB}\mu\text{V}$ 之间,且发生在 10 MHz 以下,和 RX 的特点大致相同。

4 测试结果分析

从测试数据结果可以总结出以下几点:

①在时钟频率上,从 10 MHz 到 40 MHz、77

MHz,干扰强度或是密度在整体上都会增加,可以是一小段频谱或者是整个频谱范围内,这与测试对象关系比较大.分析原因不难发现,由于时钟电路产生的时钟信号一般都是周期信号,其频谱是离散的,离散谱的能量集中在有限的频率上,又由于系统中各个部分的时钟信号通常由同一时钟分频、倍频得到,它们的谱线之间也是倍频关系,会重叠起来进而增大辐射的幅值.

②在程序烧写方式上,外部晶振或 PLL 倍频两种方式测得的结果基本一致,整个频谱范围内没有明显差异,时钟源选择上不会对芯片的电磁干扰强度带来影响.

③从 VDD1 测试结果来看,除了得出频率越高,干扰强度越大之外,还发现出现干扰的频谱范围分别在 60~300 MHz 和 550~650 MHz 两处,可见电源处的干扰在高频附近比较明显.

④对于 PWM 功能,通过配置输出波形周期和占空比大小,会导致在不同时钟下产生的电磁干扰强度有所差异.由于双通道模式下寄存器为 16 bit (原单通道模式为 8 bit),此时周期和占空比可配置的数值变大,PWM 波输出引脚处的高低电平翻转周期就取决于周期和占空比的设置,与时钟的关系变得没有之前如此紧密,时钟变成了次要因素.由此建议在满足功能要求的前提下,使用 PWM 功能时尽量将周期和占空比数值变得大一些,这样会较好地改进 EMC 性能;

⑤对于 CAN 总线来讲,通过 10 MHz 和 40 MHz 时钟对比,当合理地降低时钟工作频率,会使一大段频谱范围内的干扰值降低,从整体上较好的控制 EMI 带来的影响.

5 结束语

对于微电子行业来说,芯片级电磁兼容性的设计与测试已经成为一个非常重要的主题.实际上,如果不对集成电路电磁辐射及抗扰度方面进行深入的研究,就很难满足电子设备电磁兼容性方面的需要.本文通过对设计方法的引入,并进一步通过测试方案去总结归纳影响电磁发射的因素和原因,从而间接证明了设计方法的必要性和重要性.

参考文献:

- [1] IEC61967-1:2002. Integrated Circuits-Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 1: General conditions and definitions[s]. 2002.
- [2] IEC61967-4:2002. Integrated Circuits - Measurement of electromagnetic emissions, 150KHz to 1GHz - Part4: 1Ω/150Ω direct coupling method[s]. 2002.
- [3] Franco Fiori, Francesco Musolino. Comparison of IC conducted emission measurement methods[J]. IEEE Transactions on Instrumentation and Measurement, 2003,52(3):839-845.
- [4] MC9S08DZ128. Freescale[R]. America, 2008.
- [5] Microcontroller-XC87x-DataSheet-V15[R]. Infineon, Germany, 2011.
- [6] GRA-F018Q6D0-PADLRMCUDA-DataSheet_V1P0[R]. GSMC, China, 2012.
- [7] Generic IC EMC Test Specification, Version 1.0, 06/2004 Bosch[S]. Infineon, Siemens VDO,2004.

作者简介:

于梦溪 男,(1987—),硕士研究生.研究方向为专用集成电路设计、汽车电子 MCU 的数字前端设计和测试.